

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

14284892

Basic Patent (No,Kind,Date): JP 10084085 A2 980331 <No. of Patents: 001>

SEMICONDUCTOR DEVICE AND ITS METHOD OF MANUFACTURING THE SAME.  
(English)

Patent Assignee: MATSUSHITA ELECTRONICS CORP.

Author (Inventor): HIRANO KANJI

IPC: \*H01L-027/10; H01L-027/04; H01L-021/822

CA Abstract No: 128(23)289034H

Derwent WPI Acc No: C 98-257408

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 10084085	A2	980331	JP 96237630	A	960909 (BASIC)

Priority Data (No,Kind,Date):

JP 96237630 A 960909

BEST AVAILABLE COPY

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

05800985 \*\*Image available\*\*

SEMICONDUCTOR DEVICE AND ITS METHOD OF MANUFACTURING THE SAME.

PUB. NO.: 10-084085 [JP 10084085 A]

PUBLISHED: March 31, 1998 (19980331)

INVENTOR(s): HIRANO, KANJI

APPLICANT(s): MATSUSHITA ELECTRON CORP [000584] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 08-237630 [JP 96237630]

FILED: September 09, 1996 (19960909)

INTL CLASS: [6] H01L-027/10; H01L-027/04; H01L-021/822

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R004 (PLASMA)

#### ABSTRACT

PROBLEM TO BE SOLVED: To obtain a semiconductor device capable of stabilizing transistor characteristics, preventing a leak current from increasing of a capacitance element having capacitance insulation film made of ferroelectric film or high dielectrics, preventing dielectric strength from decreasing.

SOLUTION: A transistor is formed on a silicon substrate 1 and a silicon nitride film or a silicon nitride oxide film 17 having hydrogen as a reducer is formed on the transistor formed area through an interlayer insulation film 16, and a capacitance element 10 consisting of a capacitance insulation film 8, composed of an dielectric film having ferroelectrics film or high dielectric constant, sandwiched between a lower electrode 7 and an upper electrode 9, is formed in the area no transistor formed. The forming of one layered insulation film, the first interlayered insulation film 16, between a silicon nitride film or silicon nitride oxide film 17 and the transistor, makes the heat treatment condition moderate in the diffusion process of hydrogen from silicon nitride film or silicon nitride oxide film 17 to the transistor.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-84085

(43) 公開日 平成10年(1998) 3月31日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 5 1		H 0 1 L 27/10	4 5 1
27/04			27/04	C
21/822				

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平8-237630

(22) 出願日 平成8年(1996) 9月9日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 平野 幹二

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

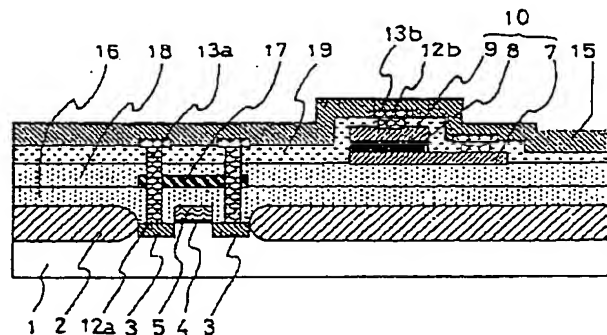
(74) 代理人 弁理士 宮井 暎夫

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 トランジスタ特性を安定化させるとともに、強誘電体膜または高誘電体膜を容量絶縁膜とする容量素子のリーク電流の増加を防止し、絶縁耐圧の低下を防止できる半導体装置を実現する。

【解決手段】 シリコン基板1上にトランジスタを形成し、このトランジスタの形成領域上に第1の層間絶縁膜16を介して還元性材料として水素を含む窒化珪素膜または窒化酸化珪素膜17を形成し、強誘電体膜または高誘電率を有する誘電体膜からなる容量絶縁膜8を下電極7と上電極9の間に挟んだ容量素子10をトランジスタの形成領域外に形成した半導体装置であって、水素を含む窒化珪素膜または窒化酸化珪素膜17とトランジスタとの間の第1の層間絶縁膜16を、一層の絶縁膜で形成したことにより、窒化珪素膜または窒化酸化珪素膜17からトランジスタへ水素を拡散する熱処理条件を穏やかな条件にでき、容量素子10への拡散を防止できる。



- 1 シリコン基板
- 2 素子分離酸化膜
- 3 ソース・ドレイン領域
- 4 ゲート絶縁膜
- 5 ゲート電極
- 7 下電極
- 8 容量絶縁膜
- 9 上電極
- 10 容量素子
- 12a, 12b コンタクトホール
- 13a, 13b 金属配線
- 15 表面保護膜
- 16 第1の層間絶縁膜 (第1の絶縁膜)
- 17 窒化珪素膜または窒化酸化珪素膜 (第2の絶縁膜)
- 18 第2の層間絶縁膜
- 19 第3の層間絶縁膜

(2)

特開平10-084085

## 【特許請求の範囲】

【請求項1】 半導体基板上にトランジスタを形成し、このトランジスタの形成領域上に第1の絶縁膜を介して還元性材料を含む第2の絶縁膜を形成し、強誘電体膜または高誘電率を有する誘電体膜を容量絶縁膜とする容量素子を前記トランジスタの形成領域外に形成した半導体装置であって、前記第1の絶縁膜は1層の絶縁膜からなることを特徴とする半導体装置。

【請求項2】 第2の絶縁膜に含まれる還元性材料に水素を用いた請求項1記載の半導体装置。

【請求項3】 半導体基板上にトランジスタを形成する工程と、前記トランジスタを覆う1層からなる第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に還元性材料を含む第2の絶縁膜を形成する工程と、強誘電体膜または高誘電率を有する誘電体膜を容量絶縁膜とする容量素子を前記トランジスタの形成領域外に形成する工程と、前記第2の絶縁膜に含まれる還元性材料を前記第1の絶縁膜を介して前記トランジスタへ拡散する熱処理を行う工程とを含む半導体装置の製造方法。

【請求項4】 第2の絶縁膜として、プラズマCVD法により窒化珪素膜または窒化酸化珪素膜を形成することを特徴とする請求項3記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、トランジスタと、高誘電率を有する誘電体膜または強誘電体膜を容量絶縁膜とした容量素子とを備えた半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】近年、民生用電子機器の高度化に伴い電子機器から発生する電磁波雑音である不要輻射が大きな問題になっており、この不要輻射低減対策として、高誘電率を有する誘電体膜（以下「高誘電体膜」という）を容量絶縁膜とする大容量の容量素子を半導体集積回路に内蔵する技術が注目を浴びている。また、従来になく低動作電圧、高速書き込みおよび高速読み出し可能な不揮発性RAMの実用化をめざし、自発分極特性を有する強誘電体膜を容量絶縁膜とする容量素子を半導体集積回路上に形成するための技術開発が盛んに行われている。

【0003】しかしながら、通常、半導体集積回路のトランジスタ特性を安定化させるために、半導体製造の前工程の最終段階で行われる還元性水素雰囲気下での熱処理は、高誘電体膜や強誘電体膜からなる容量絶縁膜の特性を劣化させる。具体的には、還元性の水素により酸化物である容量絶縁膜を構成する高誘電体膜または強誘電体膜が還元され、それらの電気抵抗が急激に低下するために、容量素子のリーク電流が増加し、さらには絶縁耐圧が低下する。なお、半導体製造の前工程とはウエハに集積回路を作製するまでの工程を意味し、その後、チップに分割してパッケージに入れ単品として完成させるまでを後工程と言う。

【0004】そこで、近年、半導体製造の前工程の最終段階で、容量素子上を除いてトランジスタ形成領域上におき、還元性水素の供給源となるプラズマCVD法により形成された窒化珪素膜または窒化酸化珪素膜を形成し、その後の不活性ガス雰囲気下または酸化性ガス雰囲気下での熱処理で高誘電体膜や強誘電体膜の特性劣化を抑制しつつ、トランジスタ特性を安定化させる半導体装置およびその製造方法が提案されている。

【0005】以下、従来の半導体装置についてその製造方法とともに、図面を参照しながら説明する。図3は従来の半導体装置の製造方法を示す工程断面図である。まず、図3(a)に示すように、シリコン基板1の上に素子分離酸化膜2、ソース・ドレイン領域3、ゲート絶縁膜4およびゲート電極5を形成し、その上に例えばBPSG膜などの第1の層間絶縁膜6を膜厚800nm～1000nm形成する。この第1の層間絶縁膜6の上に、下電極7、容量絶縁膜8および上電極9からなる容量素子10を形成する。一般に、容量絶縁膜8の焼結（熱処理）は、容量絶縁膜8を形成した直後またはパターン形成した後に行われる。なお、容量絶縁膜8は強誘電体膜または高誘電体膜からなり、下電極7および上電極9は、容量絶縁膜8に接する側から順に例えば白金膜、チタン膜で構成される。

【0006】つぎに、図3(b)に示すように、全面に例えばPSG膜などの第2の層間絶縁膜11を膜厚500nm～1000nm形成した後、トランジスタのソース・ドレイン領域3に通じるコンタクトホール12aと、容量素子10の下電極7および上電極9にそれぞれ通じるコンタクトホール12bとを形成し、金属配線13a、13bを形成する。

【0007】つぎに、図3(c)に示すように、還元性材料として水素を含むプラズマCVD法により窒化珪素膜または窒化酸化珪素膜14を膜厚100nm～300nm形成し、通常のリソグラフィ技術およびドライエッチング技術を用いて窒化珪素膜または窒化酸化珪素膜14を容量素子10上を除去してトランジスタの形成領域上におきのみ残す。その後、不活性ガス雰囲気下または酸化性ガス雰囲気下で450℃～470℃、60分～120分の熱処理を行う。この熱処理により、トランジスタ形成領域上に設けた窒化珪素膜または窒化酸化珪素膜14に含まれる還元性水素がトランジスタ領域まで拡散し、トランジスタ特性を安定化させる。最後に、全面を覆うように表面保護膜15を形成して半導体装置が完成する。

【0008】

【発明が解決しようとする課題】しかしながら上記従来の半導体装置では、還元性材料として水素を含む窒化珪素膜または窒化酸化珪素膜14を、容量素子10を形成

(3)

特開平10-084085

した後に形成するため、窒化珪素膜または窒化酸化珪素膜14を容量素子10上を除去してトランジスタの形成領域上にのみ残しても、膜厚1300nm~2000nmの層間絶縁膜(6と11)を通して水素を拡散させるのに熱処理条件が450℃~470℃、60分~120分と厳しくなり、この熱処理時によって水素が横方向にもかなり拡散するため、水素が容量素子10に達して容量絶縁膜8の特性が少なからず劣化し、容量素子10のリーク電流が増加し、絶縁耐圧が低下することが避けられないという問題があった。

【0009】この発明の目的は、トランジスタ特性を安定化させるとともに、強誘電体膜または高誘電体膜を容量絶縁膜とする容量素子のリーク電流の増加を防止し、絶縁耐圧の低下を防止できる半導体装置およびその製造方法を提供することである。

【0010】

【課題を解決するための手段】請求項1記載の半導体装置は、半導体基板上にトランジスタを形成し、このトランジスタの形成領域上に第1の絶縁膜を介して還元性材料を含む第2の絶縁膜を形成し、強誘電体膜または高誘電率を有する誘電体膜を容量絶縁膜とする容量素子をトランジスタの形成領域外に形成した半導体装置であって、第1の絶縁膜は1層の絶縁膜からなることを特徴とする。

【0011】この構成によれば、還元性材料を含む第2の絶縁膜とトランジスタとの間の第1の絶縁膜を1層からなる絶縁膜とすることにより、第2の絶縁膜からトランジスタへ還元性材料が拡散しやすくなり、トランジスタ特性を安定化させるための還元性材料の拡散時の熱処理条件を穏やかな条件とすることができ、還元性材料が容量素子へ拡散されるのを防ぎ、容量素子のリーク電流の増加を防止し、絶縁耐圧の低下を防止することができる。

【0012】請求項2記載の半導体装置は、請求項1記載の半導体装置において、第2の絶縁膜に含まれる還元性材料に水素を用いている。このように、還元性材料に水素を用いた第2の絶縁膜は、プラズマCVD法により形成することができる。請求項3記載の半導体装置の製造方法は、半導体基板上にトランジスタを形成する工程と、トランジスタを覆う1層からなる第1の絶縁膜を形成する工程と、第1の絶縁膜上に還元性材料を含む第2の絶縁膜を形成する工程と、強誘電体膜または高誘電率を有する誘電体膜を容量絶縁膜とする容量素子をトランジスタの形成領域外に形成する工程と、第2の絶縁膜に含まれる還元性材料を第1の絶縁膜を介してトランジスタへ拡散する熱処理を行う工程とを含んでいる。

【0013】この製造方法によれば、還元性材料を含む第2の絶縁膜とトランジスタとの間の第1の絶縁膜を1層で形成することにより、第2の絶縁膜に含まれる還元性材料を第1の絶縁膜を介してトランジスタへ拡散させ

る熱処理の条件を穏やかな条件でトランジスタ特性を安定化させることができ、熱処理時に還元性材料が容量素子へ拡散されるのを防ぎ、容量素子のリーク電流の増加を防止し、絶縁耐圧の低下を防止することができる。

【0014】請求項4記載の半導体装置の製造方法は、請求項3記載の半導体装置の製造方法において、第2の絶縁膜として、プラズマCVD法により窒化珪素膜または窒化酸化珪素膜を形成することを特徴とする。このように、プラズマCVD法により形成した窒化珪素膜または窒化酸化珪素膜は、還元性材料として水素を含む第2の絶縁膜とすることができる。

【0015】

【発明の実施の形態】以下、この発明の実施の形態について、図面を参照しながら説明する。図1はこの発明の実施の形態の半導体装置の要部断面図である。図1において、1はシリコン基板、2は素子分離酸化膜、3はソース・ドレイン領域、4はゲート絶縁膜、5はゲート電極、7は下電極、8は容量絶縁膜、9は上電極、10は容量素子、12a、12bはコンタクトホール、13a、13bは金属配線、15は表面保護膜、16は第1の層間絶縁膜、17は窒化珪素膜または窒化酸化珪素膜、18は第2の層間絶縁膜、19は第3の層間絶縁膜である。

【0016】この実施の形態の半導体装置は、シリコン基板(半導体基板)1上にソース・ドレイン領域3、ゲート絶縁膜4およびゲート電極5を有するトランジスタを形成し、このトランジスタの形成領域上に第1の層間絶縁膜(第1の絶縁膜)16を介して還元性材料として水素を含む窒化珪素膜または窒化酸化珪素膜(第2の絶縁膜)17を形成し、強誘電体膜または高誘電率を有する誘電体膜からなる容量絶縁膜8を下電極7と上電極9の間に挟んだ容量素子10をトランジスタの形成領域外に形成した半導体装置であって、水素を含む窒化珪素膜または窒化酸化珪素膜17とトランジスタとの間の第1の層間絶縁膜16が、一層の絶縁膜からなることを特徴とする。

【0017】このように構成される半導体装置の製造方法について、図2を参照しながら説明する。図2はこの発明の実施の形態の半導体装置の製造方法を示す工程断面図である。まず、図2(a)に示すように、シリコン基板1の上に素子分離酸化膜2、ソース・ドレイン領域3、ゲート絶縁膜4およびゲート電極5を形成し、その上に例えばBPSG膜などの第1の層間絶縁膜16を膜厚300nm~500nm形成する。

【0018】つぎに、図2(b)に示すように、トランジスタ特性を安定化させる還元性材料としての水素を含む窒化珪素膜または窒化酸化珪素膜17を膜厚100nm~300nm形成し、通常のフォトリソグラフィ技術およびドライエッチング技術を利用して、後に容量素子(10)を形成する領域の窒化珪素膜または窒化酸化珪

(4)

特開平10-084085

素膜17を除去し、トランジスタ領域上には残しておく。その後、全面に例えばBPSG膜などの第2の層間絶縁膜18を膜厚500nm～1000nm形成し、窒化珪素膜または窒化酸化珪素膜17を覆う。

【0019】つぎに、図2(c)に示すように、第2の層間絶縁膜18の上に、下電極7、容量絶縁膜8および上電極9からなる容量素子10を形成する。従来同様、容量絶縁膜8の焼結(熱処理)は、容量絶縁膜8を形成した直後またはパターン形成した後に行う。また、容量絶縁膜8は強誘電体膜または高誘電体膜からなり、下電極7および上電極9は、容量絶縁膜8に接する側から順に例えば白金膜、チタン膜で構成する。

【0020】つぎに、図2(d)に示すように、全面に例えばPSG膜などの第3の層間絶縁膜19を膜厚500nm～1000nm形成した後、トランジスタのソース・ドレイン領域3に通じるコンタクトホール12aと、容量素子10の下電極7および上電極9にそれぞれ通じるコンタクトホール12bとを形成し、金属配線13a、13bを形成する。その後、不活性ガス雰囲気下または酸化性ガス雰囲気下で例えば430℃～450℃、30分～60分の熱処理を行う。この熱処理により、トランジスタ形成領域上に設けた窒化珪素膜または窒化酸化珪素膜17に含まれる還元性水素がトランジスタ領域まで拡散し、トランジスタ特性を安定化させる。最後に、全面を覆うように表面保護膜15を形成して半導体装置が完成する。

【0021】以上のようにこの実施の形態によれば、トランジスタ特性を安定化させるための熱処理時に窒化珪素膜または窒化酸化珪素膜17からの水素は、300nm～500nmという膜厚の薄い1層からなる第1の層間絶縁膜16を通して下のトランジスタへ拡散されるため、そのときの熱処理条件を400℃～450℃、15分～60分という範囲の比較的穏やかな条件とすることができ、その結果、第2の層間絶縁膜18上に形成された容量素子10への水素の拡散を防止でき、容量絶縁膜8の特性劣化を防ぎ、容量素子10のリーク電流の増加および絶縁耐圧の低下を防止することができる。なお、熱処理条件を、430℃～450℃、30分～45分とすることがより好ましい。

【0022】なお、表面保護膜15としては酸化珪素膜が望ましいが、耐湿性や信頼性の問題から窒化珪素膜または窒化酸化珪素膜を用いてもよい。ただし、表面保護膜15として窒化珪素膜または窒化酸化珪素膜を用いる場合には、還元性水素の拡散を防止するため、表面保護膜15の形成後に熱処理は行わない。

【0023】

【発明の効果】この発明の半導体装置は、半導体基板上にトランジスタを形成し、このトランジスタの形成領域上に第1の絶縁膜を介して還元性材料を含む第2の絶縁膜を形成し、強誘電体膜または高誘電率を有する誘電体

膜を容量絶縁膜とする容量素子をトランジスタの形成領域外に形成した半導体装置であって、還元性材料を含む第2の絶縁膜とトランジスタとの間の第1の絶縁膜を1層からなる絶縁膜とすることにより、第2の絶縁膜からトランジスタへ還元性材料が拡散しやすくなり、トランジスタ特性を安定化させるための還元性材料の拡散時の熱処理条件を穏やかな条件とすることができ、還元性材料が容量素子へ拡散されるのを防ぎ、容量素子のリーク電流の増加を防止し、絶縁耐圧の低下を防止することができる。

【0024】また、この発明の半導体装置の製造方法は、半導体基板上にトランジスタを形成する工程と、トランジスタを覆う1層からなる第1の絶縁膜を形成する工程と、第1の絶縁膜上に還元性材料を含む第2の絶縁膜を形成する工程と、強誘電体膜または高誘電率を有する誘電体膜を容量絶縁膜とする容量素子をトランジスタの形成領域外に形成する工程と、第2の絶縁膜に含まれる還元性材料を第1の絶縁膜を介してトランジスタへ拡散する熱処理を行う工程とを含んでおり、還元性材料を含む第2の絶縁膜とトランジスタとの間の第1の絶縁膜を1層で形成することにより、第2の絶縁膜に含まれる還元性材料を第1の絶縁膜を介してトランジスタへ拡散させる熱処理の条件を穏やかな条件でトランジスタ特性を安定化させることができ、熱処理時に還元性材料が容量素子へ拡散されるのを防ぎ、容量素子のリーク電流の増加を防止し、絶縁耐圧の低下を防止することができる。

【図面の簡単な説明】

【図1】この発明の実施の形態の半導体装置の要部断面図である。

【図2】この発明の実施の形態の半導体装置の製造方法を示す工程断面図である。

【図3】従来の半導体装置の製造方法を示す工程断面図である。

【符号の説明】

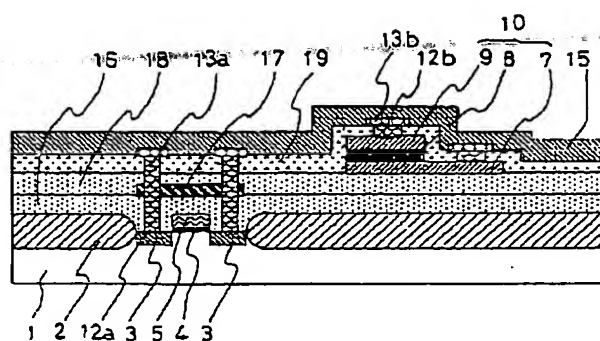
- 1 シリコン基板(半導体基板)
- 2 素子分離酸化膜
- 3 ソース・ドレイン領域
- 4 ゲート絶縁膜
- 5 ゲート電極
- 7 下電極
- 8 容量絶縁膜
- 9 上電極
- 10 容量素子
- 12a, 12b コンタクトホール
- 13a, 13b 金属配線
- 15 表面保護膜
- 16 第1の層間絶縁膜(第1の絶縁膜)
- 17 窒化珪素膜または窒化酸化珪素膜(第2の絶縁膜)

(5)

特開平10-084085

## 18 第2の層間絶縁膜

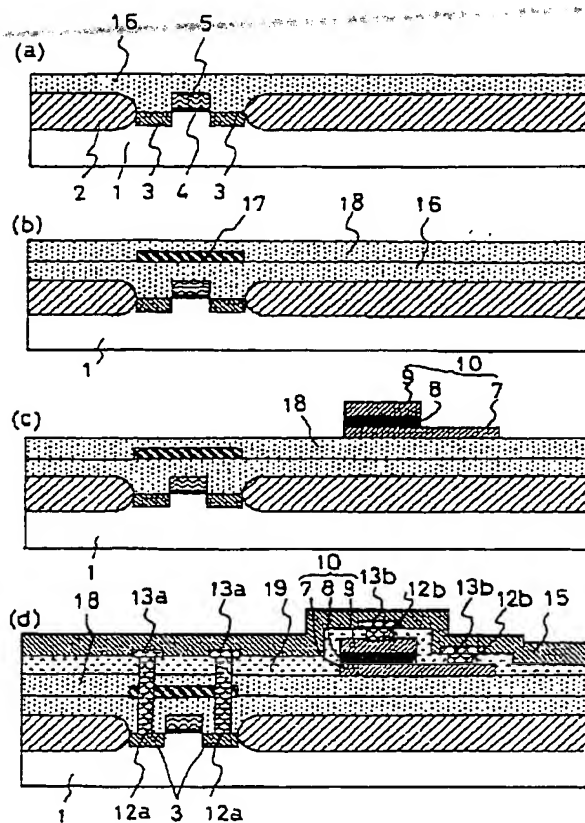
【図1】



- 1 シリコン基板
- 2 多結晶シリコン層
- 3 ソース・ドレイン領域
- 4 ゲート絶縁膜
- 5 ゲート電極
- 7 下電極
- 8 容量絶縁膜
- 9 上電極
- 10 容量素子
- 12 a, 12 b コンタクトホール
- 13 a, 13 b 金属配線
- 15 表面保護膜
- 16 第1の層間絶縁膜 (第1の絶縁膜)
- 17 酸化珪素膜または窒化珪素膜 (第2の絶縁膜)
- 18 第2の層間絶縁膜
- 19 第3の層間絶縁膜

## 19 第3の層間絶縁膜

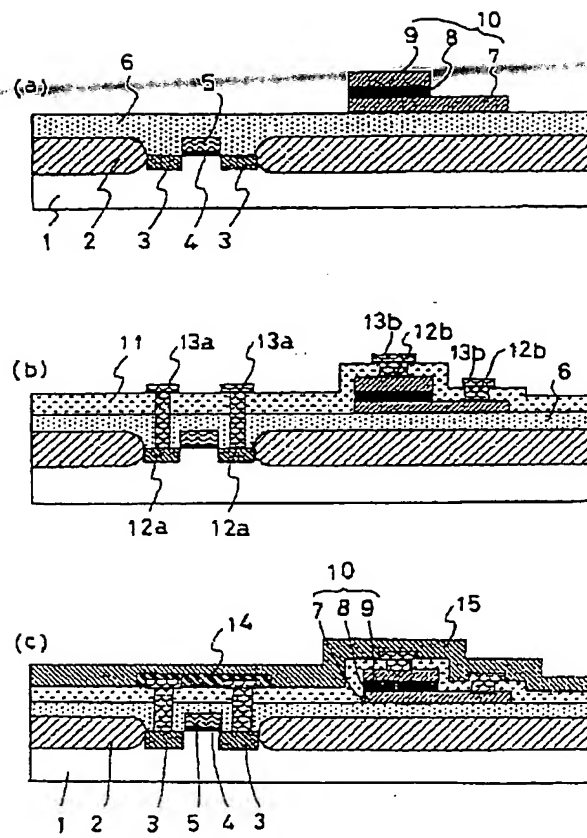
【図2】



(6)

特開平10-084085

【図3】





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**